

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 8月 8日

出願番号

Application Number:

特願2001-241298

出願人

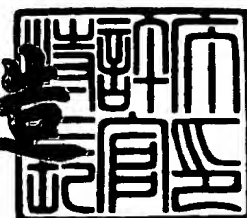
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3084417

【書類名】 特許願

【整理番号】 01000742

【提出日】 平成13年 8月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 小山内 潤

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 相補型MOS半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第一の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第二の絶縁膜と前記多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、前記抵抗体上の前記第二の

絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項2】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第一の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の絶縁膜と前記多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび第一のN型の多結晶シリコン領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い

低濃度のP型のソースとドレインおよび第二のP型の多結晶シリコン領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項3】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第一の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第二の絶縁膜と前記多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のN型多結晶

シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、前記抵抗体上の前記第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項4】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第一の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の絶縁膜と前記多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一のP型多結晶シリコン領域と前記高

融点金属シリサイドの積層からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の前記第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび第一のN型の多結晶シリコン領域を形成する工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび第二のP型の多結晶シリコン領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項5】 前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項6】 前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項7】 前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に

記載の相補型MOS半導体装置の製造方法。

【請求項 8】 前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 9】 前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 0】 前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 1】 前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型MOSトランジスターのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 2】 前記多結晶シリコン膜は化学気相成長法により形成され、該多結晶シリコン膜の膜厚が1 0 0 0 Åから4 0 0 0 Åの範囲であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 3】 前記第二のP型の多結晶シリコン領域を形成する工程は不純物としてボロンないし BF_2 を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k} \Omega / \square$ から数十 $\text{k} \Omega / \square$ 程度であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 4】 前記第一のN型の多結晶シリコン領域を形成する工程は不純物としてリンないし砒素を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k} \Omega / \square$ から数十 $\text{k} \Omega / \square$ 程度であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 5】 前記第一のP型の多結晶シリコン膜領域を形成する工程は、フォトリソグラフィ法によるフォトレジストをパターニングする工程と、不純物としてボロンないし BF_2 をイオン注入法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 6】 前記第一のP型の多結晶シリコン膜領域を形成する工程は、第四の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第四の絶縁膜をパターニングする工程と、不純物としてボロンを用いた電気炉中でのプリデポとドライブインにより該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第四の絶縁膜を除去する工程とからなることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 7】 前記第一のP型の多結晶シリコン膜領域を形成する工程は、第四の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第四の絶縁膜をパターニングする工程と、不純物としてボロンを用いて分子層ドーピング法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第四の絶縁膜を除去する工程とからなることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 8】 前記第一の絶縁膜は化学気相成長法により形成され、該第一の絶縁膜の膜厚が 1000\AA から 4000\AA の範囲であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 9】 前記高融点金属シリサイドは化学気相成長法もしくはスパッタ法により形成されたモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであり、該高融点金属シリサイドの膜厚が 500\AA から 2500\AA の範囲であることを特徴とする請求項 1 または 2 に記載の相補型MOS半導体装置の製造方法。

【請求項 2 0】 前記高融点金属はスパッタ法により形成されたコバルトも

しくはチタンであり、該高融点金属の膜厚が100 Åから500 Åの範囲であることを特徴とする請求項3または4に記載の相補型MOS半導体装置の製造方法。

【請求項21】 前記第二の絶縁膜は下層が化学気相成長法もしくは熱酸化法により形成されたシリコン酸化膜であり上層が化学気相成長法により形成されたシリコン窒化膜である積層構造であり、該第二の絶縁膜の総膜厚が1000 Åから3000 Åの範囲であることを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項22】 前記第三の絶縁膜は化学気相成長法により形成されたシリコン酸化膜であり、該第三の絶縁膜の総膜厚が2000 Åから6000 Åの範囲であることを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項23】 前記抵抗体上の第二の絶縁膜を選択的に除去する工程は、フォトリソグラフィ法により該抵抗体以外の領域をフォトレジストでマスクする工程と、エッチングにより該第二の絶縁膜をエッチングする工程と、フォトレジストを除去する工程とからなることを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器(Voltage Detector、以後VDと表記)や定電圧レギュレータ(Voltage Regulator、以後VRと表記)やスイッチングレギュレータ(Switching Regulator、以後SWRと表記など)などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

【0002】

【従来技術】

図25に従来の半導体装置の模式的断面図を示す。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスタ(以後NMOSと表記)と、Nウェル領域に形成されたゲート電極がやはりN+型の多

結晶シリコンからなるPチャネル型MOSトランジスタ（以後PMOSと表記）とからなる相補型MOS構造（Complementary MOS、以後CMOSと表記）と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。抵抗体はその製造方法の簡便さから、導電型がN型であるCMOSのゲート電極と同一層でかつ同導電型の多結晶シリコンにより形成されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

上記の従来の構造による半導体装置において、標準的なしきい値電圧である0.7V程度のエンハンスメント型のNMOS（以後E型NMOSと表記）は、ゲート電極の導電型がN+型の多結晶シリコンであるためゲート電極と半導体基板の仕事関数の関係からチャネルが半導体基板の表面に形成される表面チャネルであるが、標準的なしきい値電圧である-0.7V程度のエンハンスメント型のPMOS（以後E型PMOSと表記）は、N+型多結晶シリコンであるゲート電極とNウェルの仕事関数の関係からチャネルが半導体基板表面よりも幾分半導体基板内側に形成される埋込みチャネルとなっている。

【 0 0 0 4 】

埋込みチャネル型のE型PMOSにおいて、低電圧動作を実現すべくしきい値電圧を例えば-0.5V以上に設定する場合、MOSトランジスタの低電圧動作の一指標であるサブスレッショルド特性は極めて悪化し、従ってPMOSのオフ時におけるリーク電流は増加し、結果として半導体装置の待機時における消費電流が著しく増加し、近年需要が大きく今後もその市場がさらに発展すると言われている携帯電話や携帯端末に代表される携帯機器への適用が困難であるという問題を有している。

【 0 0 0 5 】

一方上記の課題である低電圧動作と低消費電流を両立させる技術的方策として、NMOSのゲート電極の導電型がN型であり、PMOSのゲート電極の導電型をP型としたいいわゆる同極ゲート技術が一般に知られているところである。この場合E型NMOSとE型PMOSともに表面チャネル型のMOSトランジスタであるため、しきい値電

圧を小さくしても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【 0 0 0 6 】

しかし同極ゲートCMOSは、N+多結晶シリコン単極だけのゲート電極であるCMOSに比べ、その製造工程においてNMOS、PMOSともにゲートの極性を各々作り分けるために工程数が増加し製造コストや製造工期の増大を招くという問題を有している。

【 0 0 0 7 】

本発明は低コストで短工期でありかつ低電圧動作や低消費電力であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【 0 0 0 9 】

(1)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターンニングされた前記第一の絶縁膜上およびその近傍の前記高融点金属シリサイ

ド膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第二の絶縁膜と前記多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、前記抵抗体上の前記第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 0 】

(2)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工

程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第一の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の絶縁膜と前記多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび第一のN型の多結晶シリコン領域を形成する工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび第二のP型の多結晶シリコン領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイドスペーサーを形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 1 】

(3)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、

前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第一の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第二の絶縁膜と前記多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、前記抵抗体上の前記第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体

装置の製造方法とした。

【 0 0 1 2 】

(4)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一のP型の多結晶シリコン領域上の前記第一の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第一の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第一の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の絶縁膜と前記多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一のP型多結晶シリコン領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の前記第二の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび第一のN型の多結晶シリコン領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび第二のP型の多結晶シリコン領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁

膜をエッチングし前記多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 3 】

(5)

ル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 4 】

(6)

前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 5 】

(7)

前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 6 】

(8)

前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 7 】

(9)

前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0018】

(10)

前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0019】

(11)

前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型MOSトランジスターのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする相補型MOS半導体装置の製造方法とした。

【0020】

(12)

前記多結晶シリコン膜は化学気相成長法により形成され、該多結晶シリコン膜の膜厚が1000Åから4000Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0021】

(13)

前記第二のP型の多結晶シリコン領域を形成する工程は不純物としてボロンないし BF_2 を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0022】

(14)

前記第一のN型の多結晶シリコン領域を形成する工程は不純物としてリンないし砒素を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k}\Omega/\square$ から

数十 $k\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 3 】

(1 5)

前記第一のP型の多結晶シリコン膜領域を形成する工程は、フォトリソグラフィ法によるフォトレジストをパターニングする工程と、不純物としてボロンないし BF_2 をイオン注入法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 4 】

(1 6)

前記第一のP型の多結晶シリコン膜領域を形成する工程は、第四の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第四の絶縁膜をパターニングする工程と、不純物としてボロンを用いた電気炉中でのプリデポとドライブインにより該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第四の絶縁膜を除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 5 】

(1 7)

前記第一のP型の多結晶シリコン膜領域を形成する工程は、第四の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第四の絶縁膜をパターニングする工程と、不純物としてボロンを用いて分子層ドーピング法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第四の絶縁膜を除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 6 】

(1 8)

前記第一の絶縁膜は化学気相成長法により形成され、該第一の絶縁膜の膜厚が

1 0 0 0 Å から 4 0 0 0 Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 7 】

(1 9)

前記高融点金属シリサイドは化学気相成長法もしくはスパッタ法により形成されたモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであり、該高融点金属シリサイドの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 8 】

(2 0)

前記高融点金属はスパッタ法により形成されたコバルトもしくはチタンであり、該高融点金属の膜厚が 1 0 0 Å から 5 0 0 Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 9 】

(2 1)

前記第二の絶縁膜は下層が化学気相成長法もしくは熱酸化法により形成されたシリコン酸化膜であり上層が化学気相成長法により形成されたシリコン窒化膜である積層構造であり、該第二の絶縁膜の総膜厚が 1 0 0 0 Å から 3 0 0 0 Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 3 0 】

(2 2)

前記第三の絶縁膜は化学気相成長法により形成されたシリコン酸化膜であり、該第三の絶縁膜の総膜厚が 2 0 0 0 Å から 6 0 0 0 Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 3 1 】

(2 3)

前記抵抗体上の第二の絶縁膜を選択的に除去する工程は、フォトリソグラフィー法により該抵抗体以外の領域をフォトレジストでマスクする工程と、エッチン

グにより該第二の絶縁膜をエッチングする工程と、フォトレジストを除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0032】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

図1は本発明のCMOS半導体装置の一実施例を示す模式的断面図である。P型半導体基板101に形成されたゲート電極が高融点金属シリサイド134とP+型の多結晶シリコン107の積層である所謂ポリサイド構造でありソースとドレインが電界緩和を目的としたLDD(Lightly Doped Drain)構造であるNMOS113と、Nウェル領域102に形成されたゲート電極がやはり高融点金属シリサイド134とP+型の多結晶シリコン107の積層であるポリサイド構造であるLDD構造のPMOS112とからなるCMOSと、フィールド絶縁膜106上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられるP-抵抗体114およびN-抵抗体115とから構成されている。ゲート電極および配線は可能な限り低抵抗としたいため濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含むP+型多結晶シリコン107上に高融点金属シリサイド134を配したポリサイド構造としてある。抵抗体114、115は後述するがその製造方法の簡便さからCMOSのゲート電極と同一層の多結晶シリコンにより形成されている。

【0033】

PMOS112においてゲート電極の導電型をP型とすることで、Nウェル102とゲート電極の仕事関数の関係からE型PMOSのチャネルは表面チャネルとなるが、表面チャネル型PMOSにおいてはしきい値電圧を例えば-0.5V以上に設定しても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【0034】

一方NMOS113においては、導電型がP型であるゲート電極とP型半導体基板101の仕事関数の関係からE型NMOSのチャネルは埋込みチャネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー

不純物として使用できるためチャネルは極めて浅い埋込みチャネルとなる。従ってしきい値電圧を例えば0.5V以下の小さな値に設定しても、しきい値制御用アクセプター不純物として拡散係数が大きくイオン注入のプロジェクションレンジも大きいボロンを使用せざるを得ず深い埋込みチャネルとなるN+多結晶シリコンをゲート電極としたE型PMOSの場合に比べ、サブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【0035】

以上の説明により本発明によるゲート電極の導電型をP型としたCMOSは、従来のN+多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

【0036】

図1にはP-抵抗体114およびN-抵抗体115の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的でP-抵抗体114もしくはN-抵抗体115のどちらかしかを搭載しない場合もある。さらに図示はしていないが用途に応じて後述する工程により、不純物濃度がソースやドレインの高濃度領域と同程度のP+抵抗体やN+抵抗体を形成することも可能である。

【0037】

次に本発明を実製品に適用した場合の具体的な効果を図2を用いて説明する。図2は半導体装置による正型VRの構成概要を示す。VRは基準電圧回路123とエラーアンプ124とPMOS出力素子125と抵抗129からなる分圧回路130とからなり、入力端子126に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子128に出力する機能を有する半導体装置である。

【0038】

近年、特に携帯機器向けのVRには入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧

化が可能なCMOSによりエラースンプやPMOS出力素子や基準電圧回路を構成し、低コストで高抵抗かつ高精度であるP-抵抗体により分圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

【 0 0 3 9 】

さらに最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小型化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

【 0 0 4 0 】

VRは数十mAから数百mAの電流を出力するが、それはPMOS出力素子の駆動能力に100%依存し、製品によってはチップ面積のほぼ半分をPMOS出力素子が占める場合がある。従ってこのPMOS出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

【 0 0 4 1 】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これはPMOS出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

【 0 0 4 2 】

非飽和動作におけるMOSトランジスタのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

I_d : ドレイン電流

μ : 移動度

C_{ox} : ゲート絶縁膜容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート・ソース間電圧

V_{th} : しきい値電圧

V_{ds} : ドレイン・ソース間電圧

で表される。

【 0 0 4 3 】

面積を増やさず、 V_{gs} や V_{ds} が小さくても十分大きいドレインとするには、（1）式よりチャネル長の縮小並びに V_{th} の低下を行う必要がある。

【 0 0 4 4 】

本発明によるゲートの導電型をP型としたCMOS構造は、オフ時のリーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえるため、上記のVRの低コスト化および小型化に対して非常に有効な手段であることが理解されよう。

【 0 0 4 5 】

またVRにおける本発明のP型ゲートCMOS構造による利点として、基準電圧回路をE型NMOSとディプリーション型のNMOS（以後D型NMOSと表記）のいわゆるE/D型で構成する場合、E型NMOS、D型NMOS両方ともに埋込みチャネル型となるため各々のMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることができ、従来のN+多結晶シリコンをゲート電極とした場合のE型NMOSが表面チャネル型でD型NMOSが埋込みチャネル型から構成される基準電圧回路に比べ、温度変化に対し出力電圧変化の小さい基準電圧回路を提供できることも挙げられる。

【 0 0 4 6 】

さらに本発明のP型ゲートCMOS構造により、従来のN+多結晶シリコンゲート構造では、特にそのD型のしきい値電圧のばらつきが大きいため実使用に耐えなかったPMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能であり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 0 4 7 】

以上VRにおける本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 0 4 8 】

次に本発明のCMOS半導体装置の製造方法を図面を用いて説明する。

図 3 は P 型半導体基板 1 0 1 に N ウェル 1 0 2 を形成した後、いわゆる LOCOS 法により素子分離領域であるフィールド絶縁膜 1 0 6 を形成し、しきい値制御のためのチャネル領域への不純物ドーピングをイオン注入法により NMOS、PMOS 各々に選択的に行い、その後ゲート絶縁膜 1 0 5 を例えば電気炉中での熱酸化により形成した後、多結晶シリコン 1 3 1 を被着した様子を示している。

【 0 0 4 9 】

本例においては P 型半導体基板を用いたシングル N ウェル構造を示しているが、例えばノイズ対策やユーザの要求により Vdd 端子を実装のタブと同電位としたい場合など、N 型半導体基板を用い P ウェルを形成するが、その場合においても本発明による低電圧、低消費電力、低コストである CMOS の効果は図 3 に示す P 型半導体基板 N ウェル方式と同様に得られる。

【 0 0 5 0 】

また NMOS と PMOS の寄生容量や最小 L 長のバランスを考慮し、両 MOS とも同程度の濃度の半導体中に形成したい場合、すなわちツインウェル方式を用いる場合があるが、この場合においてもスターティングマテリアルである半導体基板の導電型、つまり P 型半導体基板、N 型半導体基板を問わず本発明による低電圧動作、低消費電力、低コストである CMOS の効果はやはり同様に得られる。

【 0 0 5 1 】

また図 3 において素子分離は LOCOS 法を示しているが、分離領域の縮小の目的で図示はしていないが Shallow Trench Isolation (STI) を用いても本発明による低電圧、低消費電力、低コストである CMOS の効果はやはり同様に得られる。LOCOS 法と STI の使い分けは一般的には最大動作電圧に依存する。最大動作電圧が数 V 程度の場合には STI が面積的に有利であるが、それ以上の動作電圧の場合 LOCOS 法が工程の簡便さの観点から有利である。

【 0 0 5 2 】

しきい値制御のためのチャネル領域への不純物ドーピングは前述したようにイオン注入法により行うが、ゲート電極の導電型が P+ 多結晶シリコンであるため、E 型 NMOS、D 型 NMOS の両 NMOS に対してはドーパントとしてドナーであるリンないし砒素を用いる。前述したように低しきい値化にはできるだけ表面チャネル型に近づけ

ておきたいため、拡散係数の大きい砒素が有利である。E型PMOSの場合も同様にドナーを用いるが、D型PMOSにはアクセプターであるボロンないし BF_2 を用いる。D型PMOSにおいてもしきい値性御性の観点からチャネルはできるだけ表面に近づけておきたいため、イオン注入後の不純物プロファイルを浅く保てる BF_2 を通常は用いる。ドーズ量は所望とするしきい値の値によるが通常は $10^{11}\text{atoms}/\text{cm}^2$ から $10^{12}\text{atoms}/\text{cm}^2$ の範囲である。

【 0 0 5 3 】

多結晶シリコンは通常減圧での化学気相成長法(Chemical Vapor Deposition、以後CVDと表記)によりシランガスを分解することで酸化膜上に成膜される。膜厚は薄い場合後述するように多結晶シリコン上に形成する高融点金属シリサイド被着時に半導体基板やゲート絶縁膜に損傷を与える場合があるためある程度の厚さが必要であるが、前述したように同一層で抵抗膜も形成するため薄い方が高抵抗化の点において有利ではある。ポリサイドのパターニングにおけるスループットおよび下地ゲート酸化膜とのエッチング選択比なども考慮して通常は 1000\AA から 4000\AA の間の膜厚とする。

【 0 0 5 4 】

次に図4に示すようにフォトリソグラフィ法により後にN型抵抗膜となる部分を開口するようにフォトレジスト132をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により多結晶シリコン中に選択的に導入する。後述するように後の工程において多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、ここでは後にそれを行っても導電型がN型であるようにドーズ量を設定しておく。通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにはこの程度のシート抵抗値に設定しておく必要がある。

【 0 0 5 5 】

また回路や製品によってはN型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図4に示した工程は省略される。

【 0 0 5 6 】

次にフォトリソグレイスを剥離した後、図 5 に示すようにフォトリソグレイス法により後に P+ 型ゲート電極下層および配線領域下層となる部分を開口するようにフォトリソグレイス 1 3 2 をパターニングし、アクセプター不純物である BF_2 をイオン注入法により多結晶シリコン中に選択的に導入する。

【 0 0 5 7 】

ゲート電極のゲート側への空乏化を防ぐために濃度としては $1 \times 10^{19} \text{atoms/cm}^3$ 以上、ドーズ量としては $1 \times 10^{15} \text{atoms/cm}^2$ 以上の条件でイオン注入する。

【 0 0 5 8 】

また図示はしないが図 5 に示す P+ 多結晶シリコン領域を形成する工程は、図 4 の工程後にフォトリソグレイスを剥離して CVD 法により酸化膜を多結晶シリコン上に形成し、熱処理後フォトリソグレイス法と HF 溶液によるウェットエッチングにより P+ 型ゲート電極および配線となる部分を開口するように酸化膜をパターニングし、フォトリソグレイスを剥離したのち電気炉中においてプリデポとドライブインを行う、もしくは分子層ドーピング後に熱処理を行い酸化膜を除去することによっても形成できる。この場合は図 5 に示したフォトリソグレイスをマスクとしたイオン注入による P+ 多結晶シリコン領域の形成に比べ、酸化膜の形成とエッチング処理が必要であるため工程数の点において不利であるが、イオン注入法に比べアクセプター濃度を格段に大きくすることが可能であるためゲート空乏化の点において有利である。通常は濃度の制御性と簡便さからフォトリソグレイス法とイオン注入による形成を採用する。

【 0 0 5 9 】

次にフォトリソグレイス 1 3 2 を剥離した後、図 6 に示すように P 型抵抗領域を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により多結晶シリコン中に導入する。

【 0 0 6 0 】

ドーズ量は通常は $10^{14} \text{atoms/cm}^2$ から $10^{15} \text{atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{atoms/cm}^3$ から $9 \times 10^{18} \text{atoms/cm}^3$ 程度であり、シート抵抗

値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。N型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【 0 0 6 1 】

またやはりN型抵抗体同様、回路や製品によってはP型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図 6 に示した工程は省略される。

【 0 0 6 2 】

図 4 から図 6 に示す工程により多結晶シリコン中にN型抵抗体領域、P型抵抗体領域、P+領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくてもかまわない。図4から図6に示す工程を任意の順に行うことで上記に示す3つの領域は同じように形成される。

【 0 0 6 3 】

次に図 7 に示すようにN型抵抗体およびP型抵抗体となる多結晶シリコン上に絶縁膜 1 3 5 を形成する。本工程は絶縁膜 1 3 5 をCVD法により多結晶シリコン上に堆積しフォトリソグラフィ法とエッチングにより絶縁膜をパターニングしフォトレジストを除去することにより行われる。絶縁膜としては一般にシリコン酸化膜が用いられ、膜厚は 1000 \AA から 4000 \AA の範囲である。また本工程においては必要に応じ絶縁膜 1 3 5 を堆積した後例えば電気炉中において温度が 900°C で 30 分程度絶縁膜の緻密化のために熱処理を行う場合もある。

【 0 0 6 4 】

次に図 8 に示すようにP+多結晶シリコン 1 0 7 および絶縁膜 1 3 4 上にスパッタ法ないしはCVD法により高融点金属を被着する。高融点金属シリサイドとしてはモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドが用いられ膜厚は 500 \AA から 2500 \AA の範囲である。形成はダメージの心配はあるが高融点金属シリサイドと多結晶シリコンの密着性の観点から通常はスパッタ法を用いる。

【 0 0 6 5 】

次に図 9 に示すようにフォトリソグラフィ法により絶縁膜 1 3 5 とその近傍を開口するようにフォトレジスト 1 3 2 をパターニングし、ドライエッチング法

により高融点金属シリサイドを選択的に除去する。

【0066】

次にフォトレジストを除去し、例えばHF溶液によるウェットエッチングにより抵抗体上の絶縁膜135を除去した後、図10に示すように高融点金属シリサイドおよび多結晶シリコン上に絶縁膜122を設ける。この絶縁膜は下層がシリコン酸化膜、上層がシリコン窒化膜の積層構造であり、シリコン酸化膜はCVD法により形成し、シリコン窒化膜も同様にCVD法により形成する。絶縁膜122の総膜厚は1000Åから3000Åであるが、この総膜厚および酸化膜と窒化膜各々の膜厚は後述するNMOSのソースとドレイン形成の際にゲート電極中にドナードーパントが入るのを防ぐマスクとして働き、かつサイドスペーサー形成の際に絶縁膜122下層の酸化膜が露出しないような膜厚に設定する。例えばシリコン窒化膜が2000Åでシリコン酸化膜を1000Åとする。

【0067】

また本工程において緻密化のため絶縁膜122を形成した後に熱処理を行う場合もある。

【0068】

次に図11に示すようにフォトリソグラフィ法とエッチングにより絶縁膜と高融点金属シリサイドと多結晶シリコンをパターニングしてゲート電極、配線、抵抗体を形成する。

【0069】

この形成は、フォトリソグラフィ法によりフォトレジストをパターニングした後フォトレジストをマスクとして絶縁膜をエッチングし次にフォトレジストを残したまま高融点金属シリサイド金属と多結晶シリコンをエッチングしその後フォトレジストを除去する方法と、やはりフォトリソグラフィ法によりフォトレジストをパターニングした後フォトレジストをマスクとして絶縁膜をエッチングし次にフォトレジストを剥離した後絶縁膜をマスクとして高融点金属シリサイドと多結晶シリコンをエッチングする2種類の方法によって行われる。

【0070】

ゲート電極や抵抗体の加工は精度が求められるため異方性ドライエッチを採用

するが、異方性エッチはエッチング中のフォトレジストとの生成物による側壁防御膜効果により達成されるため、通常はフォトレジストを残したまま絶縁膜と多結晶シリコンをドライエッチングする。

【 0 0 7 1 】

酸化膜と窒化膜の積層である絶縁膜のエッチングはエッチング時に終点検出を行ない窒化膜と酸化膜でガスを変えることにより遂行される。また必要に応じてガスを変更するだけでなくエッチャーそのものを変更することによりさらに確実に遂行される。

【 0 0 7 2 】

続く高融点金属シリサイドと多結晶シリコンのエッチングも同様に適切なガス、エッチャーを選択することによりエッチングが遂行される。

【 0 0 7 3 】

さらに抵抗体部分は高融点金属シリサイドが多結晶シリコン上にないためゲート電極や配線領域に比べ先にエッチングは終了するが、下地が膜厚の厚いフィールド絶縁膜であるため何らかの問題が生じることはない。

【 0 0 7 4 】

次に図 1 2 に示すようにフォトリソグラフィー法によりNMOSを開口するようにフォトレジスト 1 3 2 をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板中に導入しNMOSの低濃度のソース、ドレインであるN-領域 1 1 9 を形成する。

【 0 0 7 5 】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が $1.0 \times 10^{12} \text{ atoms/cm}^2$ から $1.0 \times 10^{14} \text{ atoms/cm}^2$ のオーダーであり、この場合の濃度は $1.0 \times 10^{16} \text{ atoms/cm}^3$ から $1.0 \times 10^{18} \text{ atoms/cm}^3$ のオーダーである。

【 0 0 7 6 】

次にフォトレジストを除去したのち、図 1 3 に示すようにフォトリソグラフィー法によりPMOSを開口するようにフォトレジスト 1 3 2 をパターニングした後、ボロンないしBF₂などのアクセプターを低濃度にイオン注入法によりNウェル中に導入しPMOSの低濃度のソース、ドレインであるP-領域 1 2 0 を形成する。

不純物濃度はNMOS同様、通常はドーズ量が $10^{12}\text{atoms}/\text{cm}^2$ から $10^{14}\text{atoms}/\text{cm}^2$ のオーダーであり、この場合の濃度は $10^{16}\text{atoms}/\text{cm}^3$ から $10^{18}\text{atoms}/\text{cm}^3$ のオーダーである。

【0077】

次にフォトレジストを除去したのち、図14に示すように後にサイドスペーサーとなる絶縁膜133をCVD法により半導体基板上に形成する。この場合の絶縁膜としては高融点金属シリサイドおよび抵抗体である多結晶シリコン上の絶縁膜122を残すようにサイドスペーサーを形成する必要があるため、絶縁膜122の上層であるシリコン窒化膜に対しエッチング選択比が取れるシリコン酸化膜を用いる。絶縁膜133の膜厚は必要とする電界緩和の程度にもよるが通常2000Åから6000Å程度である。絶縁膜133被着後に酸化膜の緻密化などの理由により熱処理を行う場合もある。

【0078】

次に図15に示すように異方性ドライエッチングにより絶縁膜133をエッチングすることにより、ゲート電極や配線である高融点金属シリサイドとP+多結晶シリコン積層構造の側壁および図示はしていないが抵抗体である多結晶シリコンの側壁にサイドスペーサー121を形成する。このとき絶縁膜133はシリコン酸化膜であり、多結晶シリコン上の絶縁膜122の上層はシリコン窒化膜であるため異方性ドライエッチングの際に選択比を十分大きく取ることができ、高融点金属シリサイドないし多結晶シリコンはエッチング中に露出せずに済む。

本実施例においては多結晶シリコン上の絶縁膜122の上層をシリコン窒化膜とし、スペーサー用の絶縁膜133をシリコン酸化膜とした場合を示したが、絶縁膜122をシリコン酸化膜としスペーサー用の絶縁膜133をシリコン窒化膜としても同じ構造とすることが可能である。

【0079】

次に図16に示すようにフォトリソグラフィ法によりフォトレジスト132を抵抗体以外のゲート電極や配線領域をカバーするようにパターニングし、エッチングにより抵抗体上の絶縁膜122を除去する。

この場合抵抗体にエッチングによる損傷を与えたくないため、本実施例において

は絶縁膜 1 2 2 上層のシリコン窒化膜はドライエッチングにより除去し、直接抵抗体に接触している下層のシリコン酸化膜は純粋に化学反応によりエッチングが進行するウェットエッチングにより除去する。

【 0 0 8 0 】

次にフォトレジスト 1 3 2 を剥離した後、図 1 7 に示すようにフォトリソグラフィ法により NMOS と N 型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法により P 型基板および N 型抵抗体中に導入し NMOS のソース、ドレインである N+ 領域 1 0 3 と N+ 多結晶シリコン領域 1 0 9 を形成する。

【 0 0 8 1 】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{atoms/cm}^3$ 以上である。

【 0 0 8 2 】

またこの場合 NMOS のゲート電極上には絶縁膜が置かれているため、NMOS のゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。さらにサイドスペーサーが設けられている領域の下にもドナーは入らずドレイン端を低電界とすることができる。

さらに図示はしていないが温度係数の改善などの目的で本工程により多結晶シリコンによる N 型抵抗体領域の全域を高濃度とし N+ 抵抗体を形成することも可能である。

【 0 0 8 3 】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図 1 8 に示すようにフォトリソグラフィ法により PMOS と P 型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 をパターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度にイオン注入法により N ウェルおよび P 型抵抗体中に導入し PMOS のソース、ドレインである P+ 領域 1 0 4 と P+ 多結晶シリコン領域 1 0 8 を形成する。

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

また本工程によりN+抵抗体と同様にP型抵抗体領域の全域を高濃度としP+抵抗体を形成することも可能である。

【 0 0 8 4 】

以上説明してきたように図3から図18の工程を経ることにより、図1に示すCMOSの構造が得られる。

次に本発明のCMOS半導体装置の製造方法の別の実施例を説明する。

図19は前述した図3から図11までの工程のうち、図4と図6で示したN型抵抗体領域とP型抵抗体領域への不純物ドーピング工程を行わずに絶縁膜と高融点金属シリサイドと多結晶シリコンをパターニングしてゲート電極、配線、抵抗体を形成する工程までを行った後、図16で示した工程に同じくフォトリソグラフィー法によりフォトレジスト132を抵抗体以外のゲート電極や配線領域をカバーするようにパターニングし、エッチングにより抵抗体上の絶縁膜122を除去した様子を示している。

【 0 0 8 5 】

次に図20に示すようにフォトリソグラフィー法によりNMOSとN型抵抗体となる領域を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板および多結晶シリコン中に導入しNMOSの低濃度のソース、ドレインであるN-領域119およびN-多結晶シリコン領域111を形成する。

【 0 0 8 6 】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が $10^{12} \text{ atoms/cm}^2$ から $10^{14} \text{ atoms/cm}^2$ のオーダーであり、この場合の濃度は $10^{16} \text{ atoms/cm}^3$ から $10^{18} \text{ atoms/cm}^3$ のオーダーである。

【 0 0 8 7 】

このように比較的不純物濃度が近いNMOSの低濃度領域と多結晶シリコンによるN型抵抗体領域に同時に不純物ドーピングを行うことにより、工程を削減することが可能となる。

【 0 0 8 8 】

次に図 2 1 に示すようにフォトリソグラフィ法により図 1 3 に示すようにフォトリソグラフィ法によりPMOSとP型抵抗体となる領域を開口するようにフォトレジスト 1 3 2 をパターニングした後、ボロンないし BF_2 などのアクセプターを低濃度にイオン注入法によりNウェルおよび多結晶シリコン中に導入しPMOSの低濃度のソース、ドレインであるP-領域 1 2 0 およびP-多結晶シリコン領域 1 1 0 を形成する。

【 0 0 8 9 】

不純物濃度は通常はドーズ量が $10^{12}\text{atoms}/\text{cm}^2$ から $10^{14}\text{atoms}/\text{cm}^2$ のオーダーであり、この場合の濃度は $10^{16}\text{atoms}/\text{cm}^3$ から $10^{18}\text{atoms}/\text{cm}^3$ のオーダーである。

図 2 0 で示した場合と同様、工程の削減を目的とした製造方法である。

【 0 0 9 0 】

以降の工程は多結晶シリコンから成る抵抗体上の絶縁膜を除去する工程を除き、第一の実施例と同様にサイドスペーサーの形成、NMOSのソースとドレインおよびN型多結晶シリコン抵抗体の後に配線金属とのコンタクトとなる部分に高濃度のドナー不純物を導入、PMOSのソースとドレインおよびP型多結晶シリコン抵抗体の後に配線金属とのコンタクトとなる部分に高濃度のアクセプター不純物を導入することで図 1 に示した構造が得られる。

【 0 0 9 1 】

次に本発明のCMOS半導体装置の製造方法の別の実施例を説明する。

図 2 2 は前述した図 3 から図 7 までの工程を行った後、コバルトもしくはチタンなどの高融点金属 1 3 6 をP+多結晶シリコン 1 0 7 および絶縁膜 1 3 4 上にスパッタ法により被着する。

コバルト、チタンともに膜厚は 100\AA から 500\AA の範囲であり、コバルトの場合にはチタンもしくはチタンナイトライドを数十 \AA から数百 \AA 積層する場合もある。

【 0 0 9 2 】

次に例えばRTP (Rapid Thermal Process) により 600°C から 750°C 程度

の温度で数十秒から1分間程度の熱処理を行い、多結晶シリコン131と接している部分の高融点金属をシリサイド化し、絶縁膜135上の未反応である高融点金属を例えば過酸化水素水とアンモニアの混合液もしくは硫酸と過酸化水素水の混合液により選択的に除去する。その様子を図23に示す。

【0093】

次に例えば700℃から900℃程度の温度で数十秒RTP処理を行った後、多結晶シリコン抵抗体上の絶縁膜135をHF溶液などでエッチングすることにより除去し図24に示す構造が得られる。

【0094】

以上に示した実施例は先に説明した工程に比べ、高融点金属シリサイドをゲート電極および配線領域に自己整合的に残すことが可能であるため、先に説明した実施例に比べフォトリソグラフィ工程を削減できる利点がある。

【0095】

さらに以上に示した高融点金属シリサイドをゲート電極および配線領域に自己整合的に形成する方法と、NMOSおよびPMOSの低濃度領域と多結晶シリコンによる抵抗体領域を同時に不純物ドーピングする製造方法とを組み合わせることにより、さらなる工程の削減が可能となり、製造工期および製造コストの大幅な改善となることも図示はしないが言及しておく。

【0096】

【発明の効果】

上述したように、本発明はCMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコン構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンとすることで、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利である

パワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする製造方法を提供する。

【図面の簡単な説明】

【図 1】

本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図 2】

半導体装置による正型VR構成概要。

【図 3】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 4】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 5】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 6】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 7】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 8】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 9】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 0】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 1】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 2】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 3】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 4】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 5】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 6】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 7】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 8】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 9】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 0】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 1】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 2】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 3】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 4】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 5】

従来のCMOS半導体装置の模式的断面図。

【符号の説明】

1 0 1、2 0 1 P型半導体基板

1 0 2、2 0 2 Nウェル

1 0 3、2 0 3 N+

1 0 4、2 0 4 P+

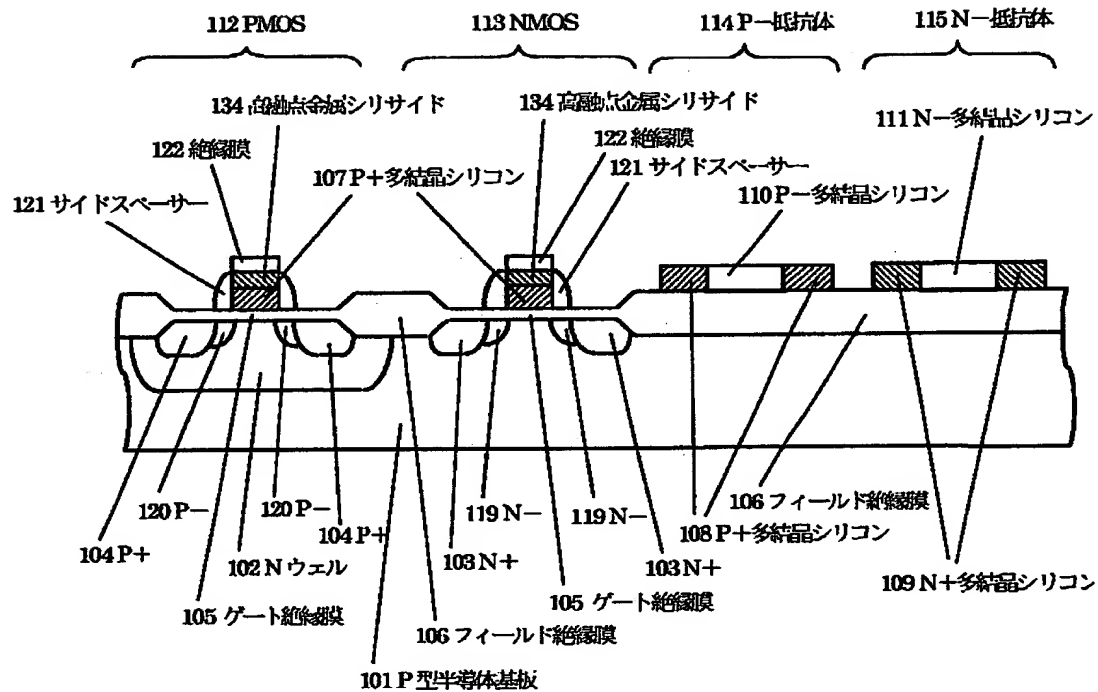
105、205 ゲート絶縁膜
106、206 フィールド絶縁膜
107 P+多結晶シリコン
108 P+多結晶シリコン
109、209 N+多結晶シリコン
110 P-多結晶シリコン
111、211 N-多結晶シリコン
112、212 PMOS
113、213 NMOS
114 P-抵抗体
115、215 N-抵抗体
119 N-
120 P-
121 サイドスペーサー
122 絶縁膜
123 基準電圧回路
124 エラーアンプ
125 PMOS出力素子
126 入力端子
127 グラウンド端子
128 出力端子
129 抵抗
130 分圧回路
131 多結晶シリコン
132 フォトレジスト
133 絶縁膜
134 高融点金属シリサイド
135 絶縁膜
136 高融点金属

2 3 1 N+多結晶シリコン

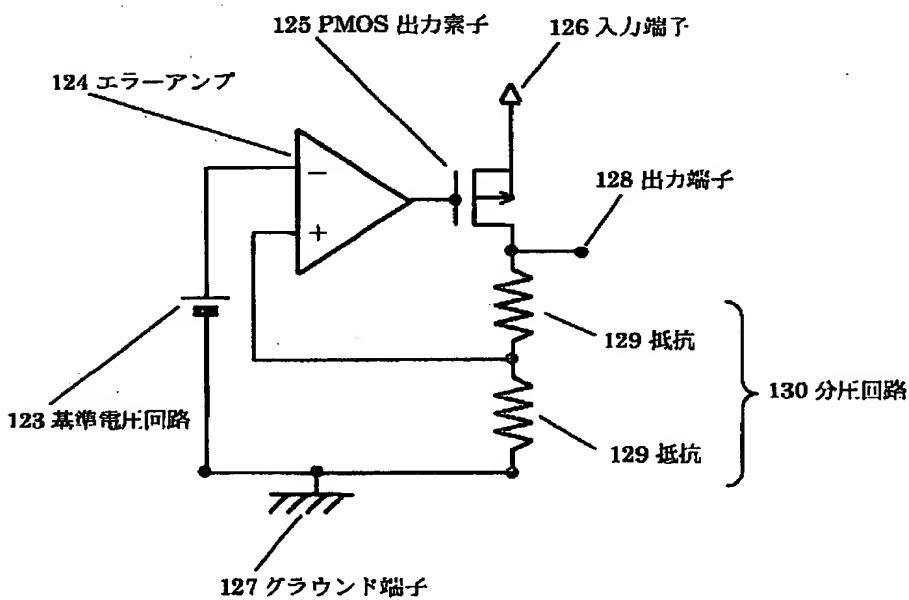
2 3 2 P+多結晶シリコン

【書類名】 図面

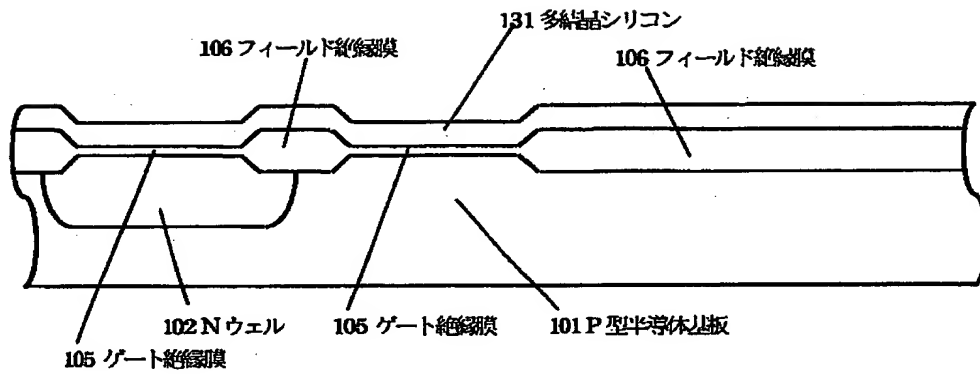
【図 1】



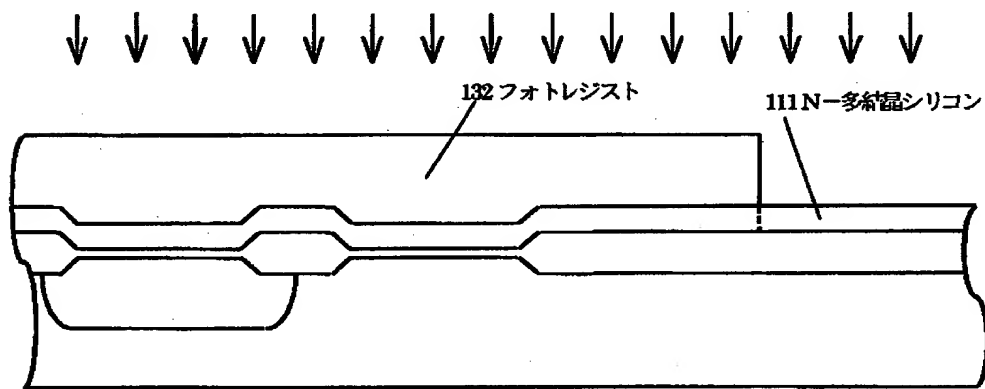
【図 2】



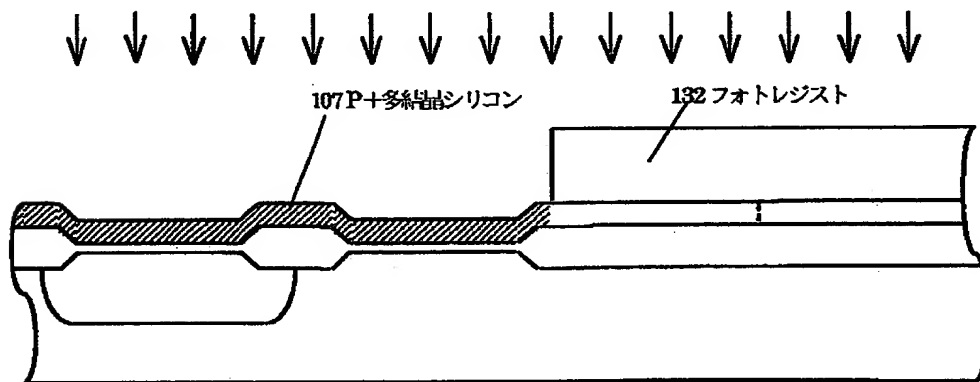
【図 3】



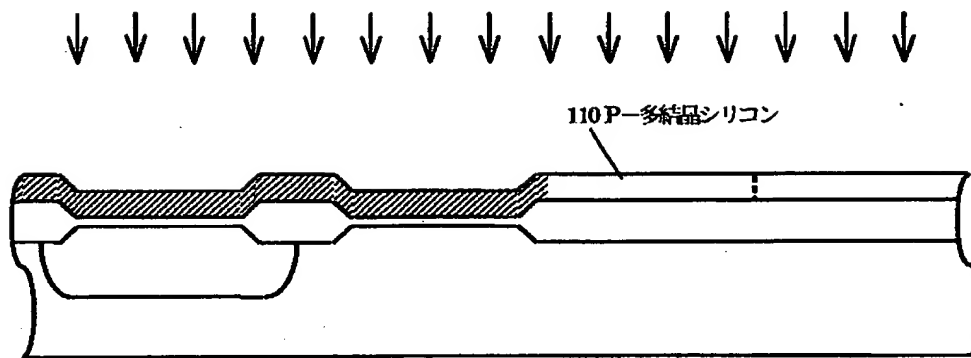
【図 4】



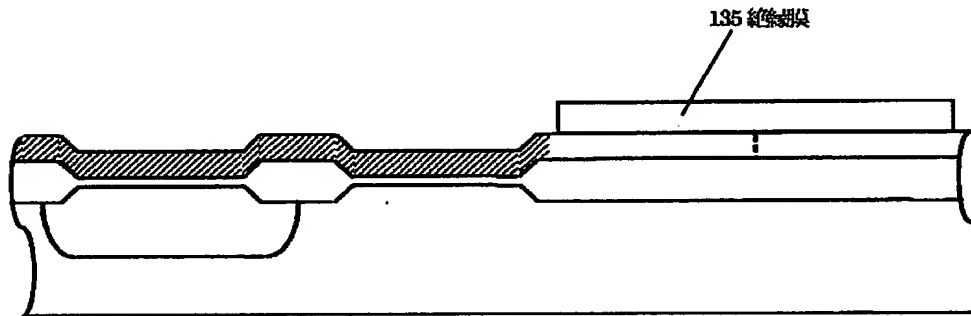
【図 5】



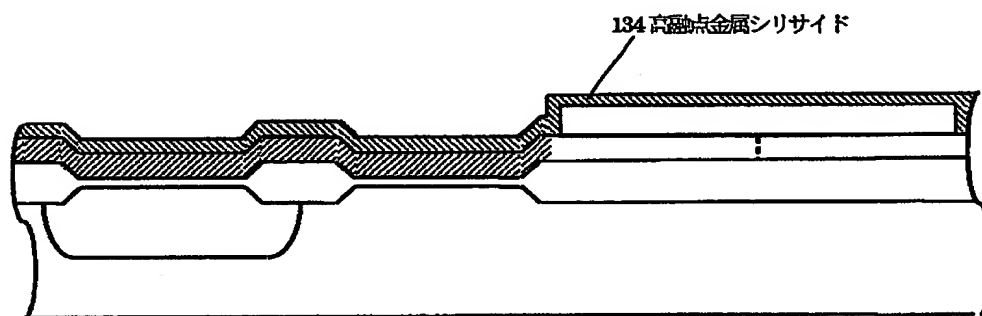
【図 6】



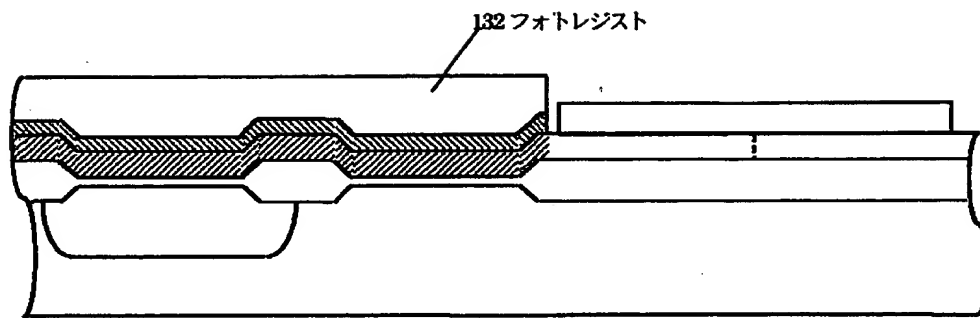
【図 7】



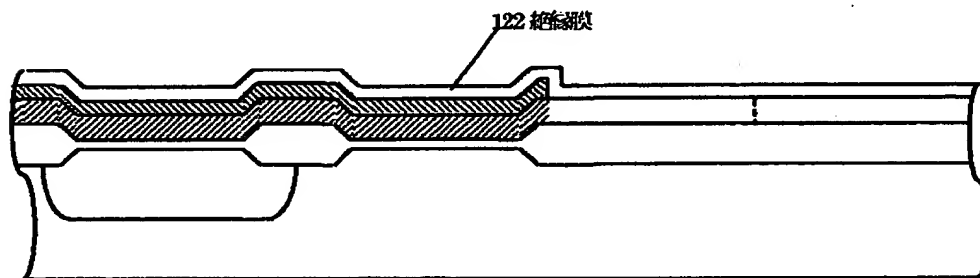
【図 8】



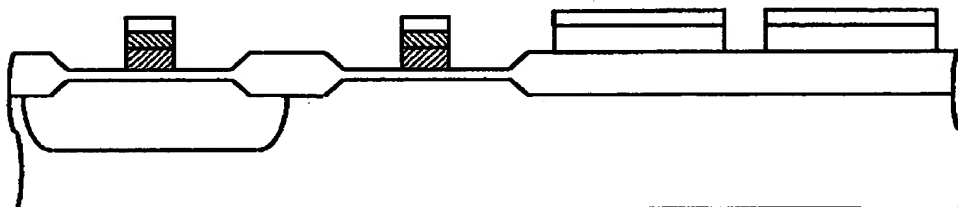
【図 9】



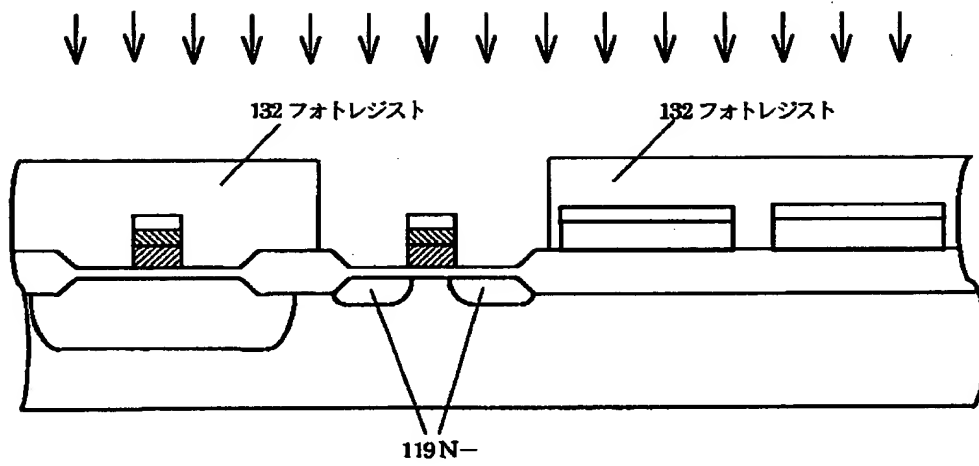
【図 1 0】



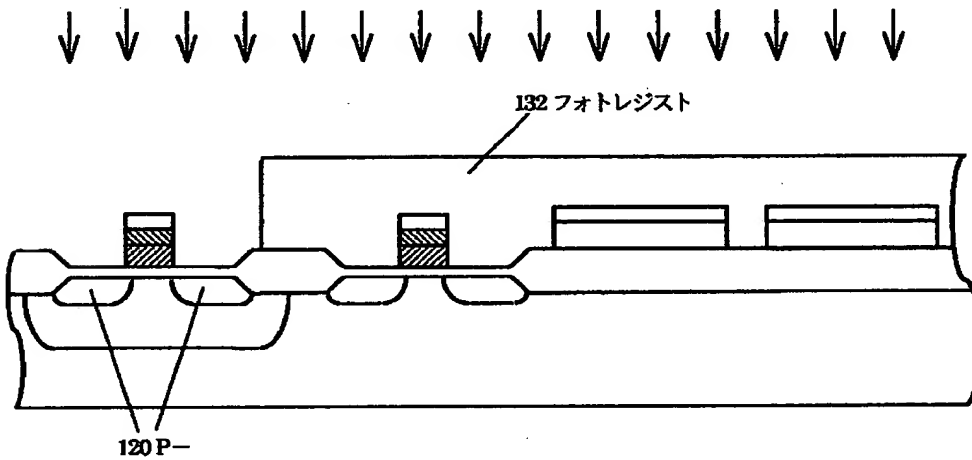
【図 1 1】



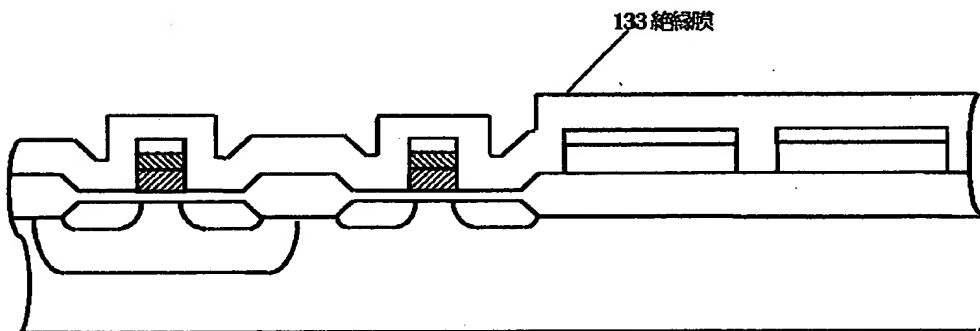
【図 1 2】



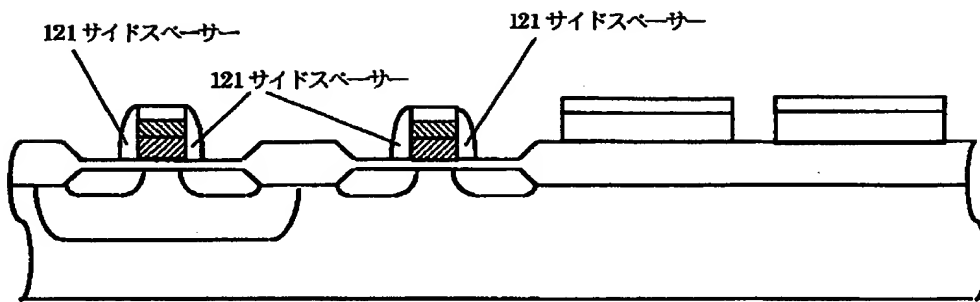
【図 1 3】



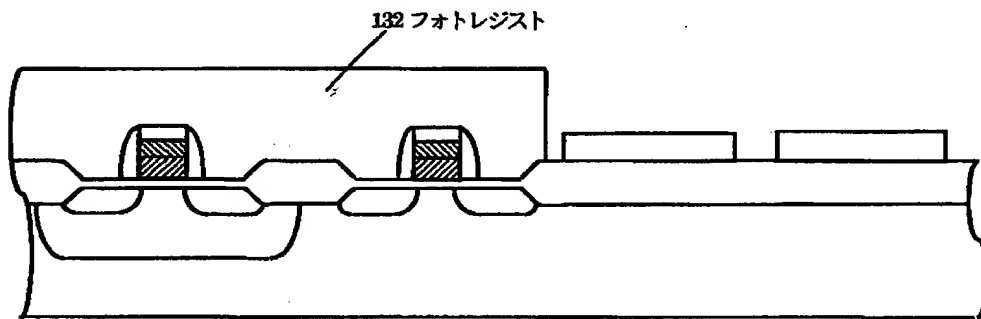
【図 1 4】



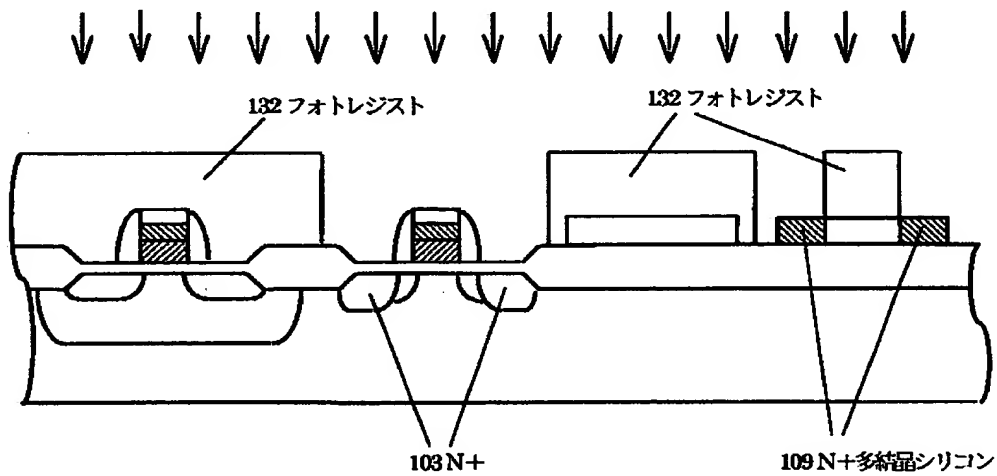
【図 15】



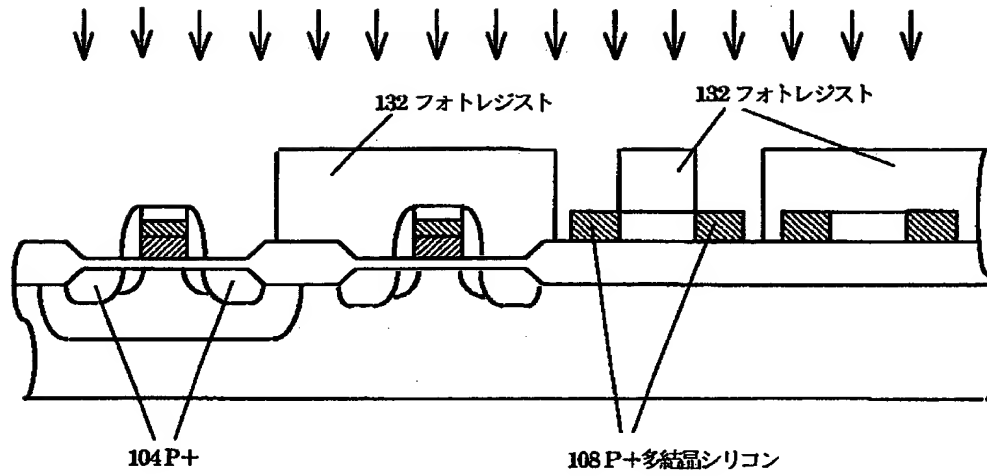
【図 16】



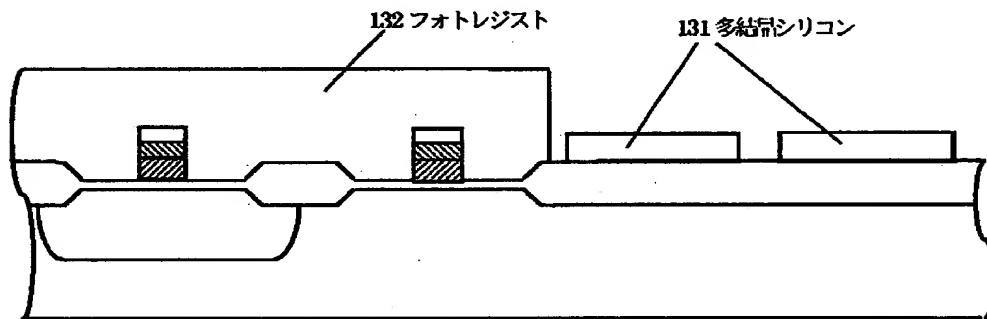
【図 17】



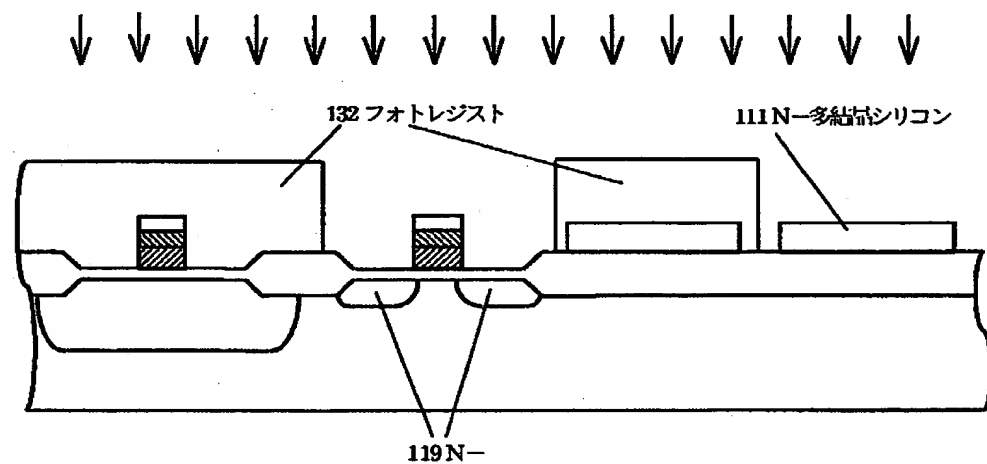
【図 1 8】



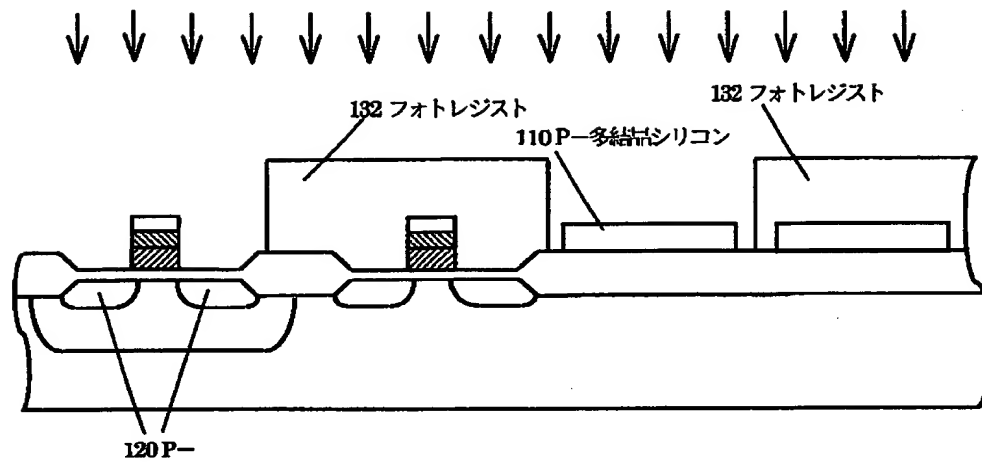
【図 1 9】



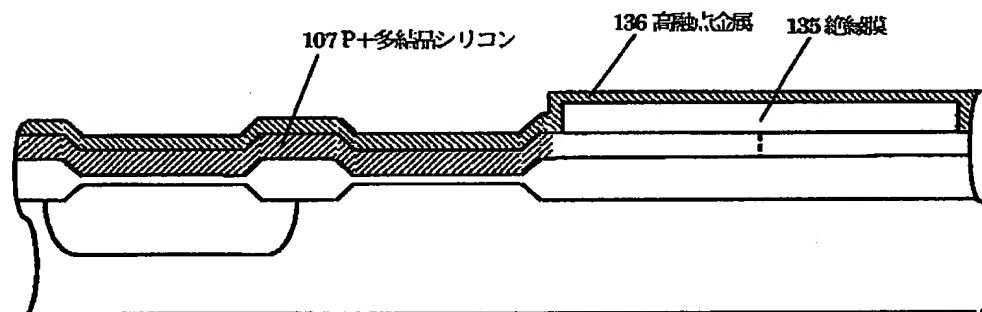
【図 2 0】



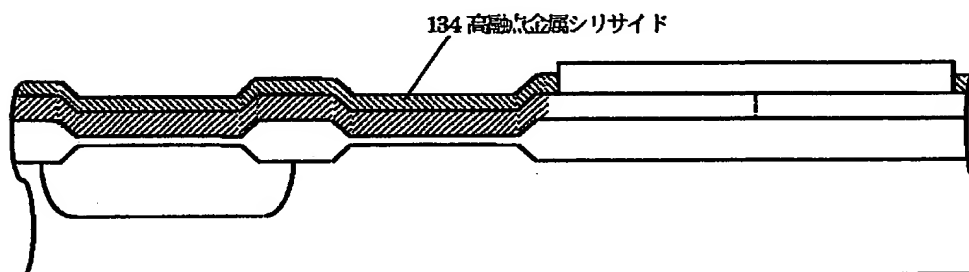
【図 2 1】



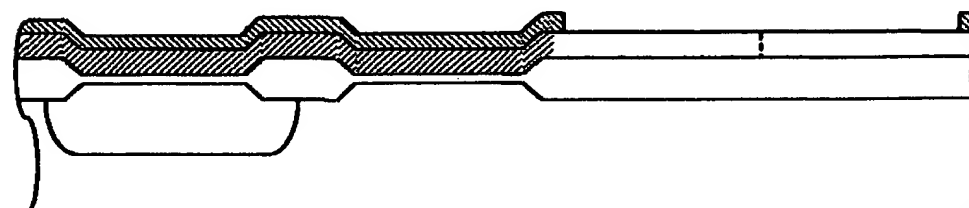
【図 2 2】



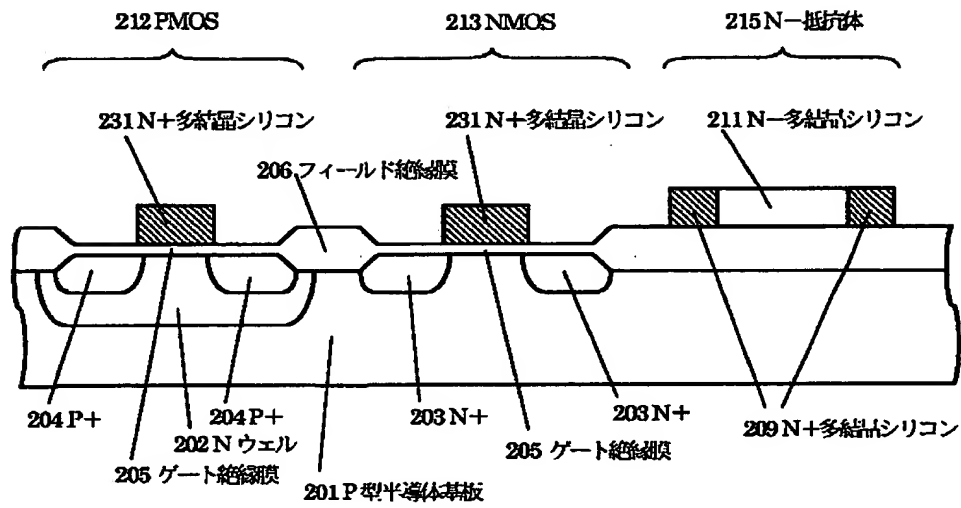
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 低コストで短工期でありかつ低電圧動作が可能で低消費電力および高駆動能力を有するパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造の製造方法を提供することを目的とする。

【解決手段】 CMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコン構造を可能とする製造法を用いる。PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンが使用可能な製造方法とすることで、従来のN⁺多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の実現を特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日 1997年 7月23日

[変更理由] 名称変更

住 所 千葉県千葉市美浜区中瀬1丁目8番地

氏 名 セイコーインスツルメンツ株式会社